

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-249197

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

H 0 1 L 21/66

F 8406-4M

6912-2G

6912-2G

G 0 1 R 31/ 28

V

E

審査請求 未請求 請求項の数2(全10頁)

(21)出願番号

特願平4-83201

(22)出願日

平成4年(1992)3月5日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 池永 剛

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 高橋 淳一

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

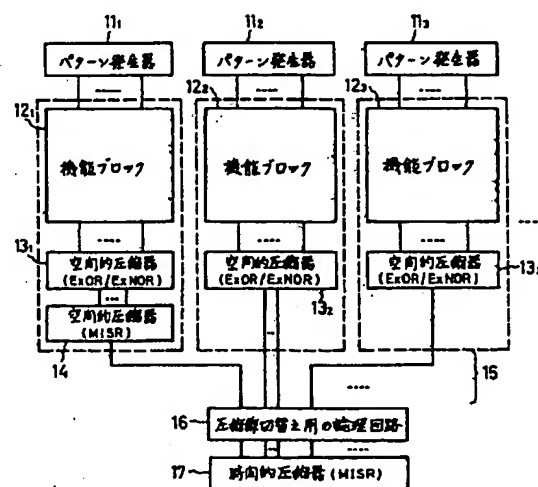
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 組込み自己試験回路

(57)【要約】

【目的】 分散型組み込み自己試験のパターン圧縮器を構成する際に、そのパターン圧縮器全体のハード量を低減する。

【構成】 各機能ブロック12に埋め込む空間的な圧縮器として、対象とする機能ブロックの性質により、排他的論理和を用いた圧縮器13、多入力線形帰還シフトレジスタを用いた圧縮器14等の、構成の異なる圧縮器を、圧縮器を構成するハード量が少ない順に、前段の圧縮器13の出力が次段の圧縮器14の入力に結合されるように多段に組み合わせ、空間的圧縮器のハード量が少ない構成の両者を実現する。また、時間的な圧縮器17として、各空間的圧縮器で圧縮された情報をそれぞれ独立に圧縮するのではなく、それらを取りまとめ、1つの多入力線形帰還シフトレジスタを用いることにより、時間的圧縮器に対してもハード量が少ない構成を実現する。



【特許請求の範囲】

【請求項1】 集積回路チップ内にパターン発生器、パターン圧縮器を組み込み、そのチップを自己試験する分散型の組込み自己試験回路において、

前記パターン圧縮器は、機能ブロックごとに埋め込み配置され、その各機能ブロックから出力されるNビット

(Nは機能ブロックの出力本数)×Mパターン(Mはテストパターン数)の情報をL(Lは圧縮器から出力される本数、 $M>L$)×Mパターンに圧縮する機能を持つ空間的圧縮器と、機能ブロックとは独立配置されて、Pビット(Pは各機能ブロックから空間的圧縮器を通して出力される圧縮器の合計)×Mパターンの情報をPビット×1パターンに圧縮する機能を持つ時間的圧縮器から構成され、

前記空間的圧縮器として、対象とする機能ブロックの性質により、排他的論理和を用いた圧縮器、あるいは多入力線形帰還シフトレジスタを用いた圧縮器等の、構成の異なる圧縮器を、圧縮器を構成するハード量が少ない順に、多段に組み合わせ、前記時間的圧縮器として、1つの多入力線形帰還シフトレジスタを用いることを特徴とする組込み自己試験回路。

【請求項2】 請求項1の組込み自己試験回路において、各機能ブロックに埋め込まれた空間的圧縮器によって圧縮された圧縮線を、機能ブロックとは独立した1つの時間的圧縮器に入力する前段に、故障切り分けを行いたい機能ブロックから出力される圧縮線のみを順次通し、その他の圧縮線に対して固定値を出力するモードと、圧縮線の全部をそのまま通すモードを備えた圧縮線切替え用の論理回路を設け、設計時は、故障切り分けを行いたい機能ブロックから出力された圧縮線のみを通すモードに設定し、順次、切り分け機能ブロックごとに、時間的圧縮を行い、それぞれ、別々に期待値と比較することにより、故障した機能ブロックの切り分けを行い、製造時においては、全圧縮線を通すモードに設定し、一度に時間的圧縮を行い期待値と比較するようにしたことを特徴とする組込み自己試験回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、LSI設計時の故障診断およびLSI製造時の良否判別試験においてそのチップの組み込み自己試験(Built In Self Test)を行う分散型の組込み自己試験回路に関し、特に組込み自己試験のパターン圧縮装置に関するものである。

【0002】

【従来の技術】 LSI試験容易化のための1手法として、チップ内にテスター機能(テストパターン発生器とパターン圧縮器)を組み込んで試験する、組込み自己試験が知られており、その構成としては、1つのパターン発生器、パターン圧縮器を各機能ブロックで共有する集中管理型と、各機能ブロックごとにパターン発生器、パ

ターン圧縮器を配置する分散型がある。

【0003】 この分散型組み込み自己試験における従来のパターン圧縮器の構成としては、圧縮器として線形帰還シフトレジスタ(LFSR)、あるいは多入力線形帰還シフトレジスタ(MISR)を2段用い、1段目において、図5に示すように、試験対象の4つの機能ブロック2₁～2₄に対し、各パターン発生器(LFSR)1₁～1₄からM個のテストパターンを与えることにより、機能ブロック2₁～2₄から出力されたNビット×Mパターンの情報を、機能ブロックに埋め込み配置(チップレイアウト上で機能ブロックとパターン圧縮器を隣接して配置し、その間の配線長が短い構成)された多入力線形帰還シフトレジスタ(MISR)を用いた空間的圧縮器3₁～3₄によって、1ビット×Mパターンの情報に空間的な圧縮を行う。

【0004】 そして2段目において、各機能ブロック2₁～2₄から上記の空間的圧縮器3₁～3₄によって1ビット×Mパターンに圧縮した情報を各々の圧縮線4₁～4₄にて取りまとめ、4つの機能ブロックとは別の場所に、線形帰還シフトレジスタ(LFSR)を用いた時間的圧縮器5₁～5₄を独立配置(チップレイアウト上で機能ブロックとは離れた場所に圧縮器を配置し、その間の配線長が長くなり得る構成)することによって、それぞれを1パターンの情報へ時間的な圧縮を行い、その結果を予めチップ内に記憶してある期待値と比較するという構成が知られている。(参考文献:P.P.Gleisner: Design and test for the 80386, IEEE Design & Test of Comp., 4, 3, pp42-50 (1987))

【0005】 しかし、1段目のそれぞれの機能ブロックに対する空間的圧縮器3(3₁～3₄)として多入力線形帰還シフトレジスタを用いているという点、また2段目の時間的圧縮器5(5₁～5₄)として4つの独立した線形帰還シフトレジスタを用いているという点から、パターン圧縮器を構成するハード量が多いという問題点がある。上記の多入力線形帰還シフトレジスタを用いた圧縮器と比較してハード量が少なくすむ空間的圧縮器の構成としては、排他的論理和(Exclusive OR)を用いた圧縮器が知られている。(参考文献:S.M.Reddy et al.: A data compression technique for Built-in self-test, IEEE Trans. Comp., Vol.37, No.9, pp1151-1156(Sep. 1988))

【0006】 しかし、排他的論理和のみを用いた圧縮器では、故障見逃しを生じない空間圧縮の度合い(何ビット幅まで圧縮できるか)は、対象とする機能ブロックによって、まちまちである。よって、集中管理型の組込み自己試験のように空間的圧縮器と時間的圧縮器を近接した場所に配置可能なパターン圧縮器としては適するが、空間的圧縮器と時間的圧縮器が離れた場所に配置される分散型組み込み自己試験のパターン圧縮器として用いた場合、対象とする機能ブロックの中に、空間圧縮の度合

いが悪いものが存在した場合、空間的圧縮器と時間的圧縮器を結ぶ、配線量が増大するという問題がある。

【0007】

【発明が解決しようとする課題】ところで、LSIの大規模化によって、マイクロプロセッサ、信号処理プロセッサのように、様々な機能を持ったブロックが同一LSI上に組み込まれるという構成が可能となってきた。それに伴って、上記のLSIに対する組込み自己試験は、その種々の機能ブロックごとにパターン圧縮器を置く構成を取らざるをえない状況になりつつある。しかし、組込み自己試験のハードを付加することによって、チップ面積が増大すると、そのままLSIの歩留まり低下につながるので、組込み自己試験用のハード量はできるだけ少なくする必要がある。

【0008】一般に上記のような、分散型の組込み自己試験のパターン発生器を構成するためには、各機能ブロックから出力される情報に対し、一度空間的圧縮を行い、空間圧縮した結果を1つにまとめ、それから時間的圧縮を行い、期待値と比較するという構成が有効であると考えられるが、空間的圧縮器は、機能ブロックそれぞれに置かれるため、できるだけハード量が少なくできる構成が望まれる。また、空間的圧縮器と時間的圧縮器は別の場所に配置され、両者を結合する配線長が長くなるため、配線領域を減らすために、空間的圧縮器から出力される配線数はできるだけ少なくできる構成が望まれる。また、時間的圧縮器に対しても、できるだけハード量が少なくできる構成が望まれる。また、LSIの大規模化によって、製造時の良否判別試験のみならず、設計時の故障診断の効率化への要求が高まっている。よって、設計時において、故障している機能ブロックの切り分けを可能としたパターン圧縮器の実現が望まれている。

【0009】本発明は以上の点に鑑み、上記のような問題点を解決するためになされたもので、その目的は、分散型組込み自己試験のパターン圧縮器を構成する際に、そのパターン圧縮器全体のハード量を低減することのできる組込み自己試験回路を提供することにある。また、本発明の他の目的は、設計時の故障診断、製造時の良否判定試験を効率良く行うことのできる組込み自己試験回路を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するため本発明は、分散型組込み自己試験のパターン発生器を構成する際に、各機能ブロックに埋め込む空間的圧縮器として、対象とする機能ブロックの性質により、多入力線形帰還シフトレジスタを用いた圧縮器、排他的論理和を用いた圧縮器、あるいは論理積の否定(NAND)、論理和の否定(NOR)を用いた圧縮器等の、構成の異なる圧縮器を、圧縮器を構成するハード量が少ない順に、前段の圧縮器の出力が次段の圧縮器の入力に結

合されるように多段に組み合わせ、空間的圧縮器のハード量が少ない構成、空間的圧縮器から出力される配線数の少ない構成の両者を実現する。また、時間的な圧縮器として、各空間的圧縮器で圧縮された情報をそれぞれ独立に圧縮するのではなく、それらを取りまとめ、1つの多入力線形帰還シフトレジスタを用いることにより、時間的圧縮器に対してもハード量が少ない構成を実現するようにしたものである。

【0011】また、本発明の別の発明は、分散型組込み自己試験のパターン圧縮器を構成する際に、各機能ブロックに埋め込まれた空間的圧縮器によって圧縮された圧縮線を、機能ブロックとは独立した1つの時間的圧縮器に入力する前段に、故障切り分けを行いたい機能ブロックから出力された圧縮線のみを順次通し、その他の圧縮線に対しては固定値を出力するモードと、圧縮線の全部をそのまま通すモードを備えた論理回路を付与する。そして設計時は、故障切り分けを行いたい機能ブロックから出力された圧縮線のみを通すモードに設定し、順次、切り分けた機能ブロックごとに、時間的圧縮を行い、それぞれ、別々に期待値と比較することにより、故障した機能ブロックの切り分けを行い、製造時においては、全圧縮線を通すモードにし、一度に時間的圧縮を行い期待値と比較することにより、良否判別試験を効率良く行い、設計時の故障診断、製造時の良否判別試験の両者を効率良く行うようにしたものである。

【0012】

【作用】本発明によると、分散型組込み自己試験のパターン圧縮器を構成する際に、パターン圧縮器全体のハード量を少なくするためには、前段の空間的圧縮器のハード量を少なくすることと、空間的圧縮器と時間的圧縮器を結ぶ配線の本数を減らす必要があるが、対象とする機能ブロックの性質により、排他的論理和を用いた圧縮器、あるいは多入力線形帰還シフトレジスタを用いた圧縮器といった、構成の異なる圧縮器を多段に組み合わせることにより、上記の2つの条件を満たすパターン圧縮器が実現できる。

【0013】また、設計時の検証として、故障した機能ブロックの切り分けを行うためには、それぞれの機能ブロックからのパターンを独立に圧縮し、期待値と比較する機能が必要であるが、故障切り分けを行いたい機能ブロックから出力された圧縮線のみを順次通し、その他の圧縮線に対しては固定値を出力するモードを備えた論理回路を付与することにより、少ないハードでこの機構を実現できる。

【0014】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1に本発明による分散型組込み自己試験回路の構成原理図を示す。図1において、パターン発生器11(111~113)は機能ブロックそれぞれに配置する分散分配型、バス等を用いて1箇所から分配する集

中型分配型、あるいはその混在型で構成する。

【0015】パターン圧縮器は、試験対象回路12の機能ブロック12₁~12₃ごとに埋め込み配置する空間的圧縮器13₁~13₃、14と、機能ブロックとは独立配置する各機能ブロック12₁~12₃からの圧縮線を切替えるモードを持った圧縮線切替え用の論理回路16と、時間的圧縮器17、およびその両者を結ぶ配線領域15で構成する。ここで、空間的圧縮器13₁~13₃は排他的論理和を用いた圧縮器、空間的圧縮器14は多入力線形帰還シフトレジスタ(MISR)を用いた圧縮器であり、時間的圧縮器17は多入力線形帰還シフトレジスタ(MISR)を用いた圧縮器である。

【0016】次に、上記空間的圧縮器の構成について具体的に説明する。

(1) まず機能ブロックの性質に基づいた空間的圧縮器の使い分けを図2、図3を参照して述べる。空間的圧縮器は、試験対象回路12の各機能ブロックから出力されるNビット(Nは機能ブロックの出力本数)×Mパターン(Mはテストパターン数)の入力情報をL(Lは圧縮器から出力される本数、M>L)×Mパターンの出力情報に圧縮する機能を持つ圧縮器であり、その実現方法として、図2に示す、排他的論理和、排他的論理和の否定(Exclusive NOR)、あるいは論理和の否定(NAND)を木状(ツリー状)、滝状(カスケード状)に用いた空間的圧縮器13が、また図3に示すように、複数の排他的論理和素子32、33とシフトレジスタ34からなる多入力線形帰還シフトレジスタを用いた空間的圧縮器14が考えられる。但し、図2中21は圧縮器入力線、22はツリー状を形成する各々の排他的論理和素子、23は圧縮器出力の圧縮線を示し、図3中31は圧縮器入力線、35は圧縮器出力の圧縮線を示している。

【0017】それぞれの圧縮器の特徴は、排他的論理和を用いた圧縮器13は、ハード量は少なく済みが、空間圧縮の度合いを大きくする(Lを小さくしていく)と対象回路の性質に応じて、圧縮器による見逃し故障が生じてくる。多入力線形帰還シフトレジスタを用いた圧縮器14は、ハード量は多く必要とするが、パターンの時間的な畳み込みを行いながら圧縮していくので、回路によらず、1本にまで空間圧縮しても故障見逃しはほとんど生じない。

【0018】本発明では、空間的圧縮器の構成として、故障見逃しが生じない程度まで、排他的論理和あるいは排他的否論理和を用いた圧縮器13(13₁~13₃)で空間圧縮し、その後、多入力線形帰還シフトレジスタを用いた圧縮器14によって、1本に空間圧縮するという圧縮器の2段構成をとる。ただし、機能ブロックの性質により、排他的論理和を用いた空間圧縮器で1本まで空間圧縮しても見逃し故障が生じないものに対しては排他的論理和のみを用いた空間圧縮器13の構成とする。

(この性質を満たす機能ブロックを性質Aの回路12₁

とする)

【0019】また、排他的論理和を用いた空間圧縮器で数本程度に空間圧縮しても見逃し故障が生じないもので、上記の数本の圧縮線を時間的圧縮器まで結合した場合の配線領域15と、排他的論理和を用いた空間圧縮器と多入力線形帰還シフトレジスタを2段用いた圧縮器を用いて出力を1本にまで圧縮した場合のハード量を比較して、後者の方がハード量が少なくなるものに対しても排他的論理和のみを用いた空間圧縮器13の構成とする。(この性質を満たす機能ブロックを性質Bの回路12₂とし、これと上記の性質Aの回路のどちらにも属さない機能ブロックを性質Cの回路12₃とする)

【0020】このように本発明によると、試験対象とする機能ブロックの性質により、排他的論理和を用いた空間的圧縮器13、あるいは多入力線形帰還シフトレジスタを用いた空間的圧縮器14といった、構成の異なる圧縮器を多段に組み合わせることにより、空間的圧縮器を構成するためのハード量を少なくできる。仮に、同じnビット幅の入力を1本に圧縮する空間的圧縮器のハード量を、排他的論理和を用いた場合と、多入力線形帰還シフトレジスタを用いた場合で比較すると、排他的論理和を用いた場合、図2に示すようにn-1個の排他的論理和素子22で構成できるが、多入力線形帰還シフトレジスタを用いた場合、図3に示すように、各入力31ごとに排他的論理和素子32とシフトレジスタ34が必要で、その他に線形帰還を行うための排他的論理和33が数個必要となる。

【0021】このように排他的論理和を用いた圧縮器はn-1個の排他的論理和で構成できるが、多入力線形帰還シフトレジスタを用いた圧縮器はn+数個の排他的論理和とn個のシフトレジスタで構成する必要がある。シフトレジスタのハード量が排他的論理和の3倍程度とすると、排他的論理和を用いた空間的圧縮器と、多入力線形帰還シフトレジスタを用いた空間的圧縮器では、前者の方がハード量が1/4以下で実現できる。

【0022】(2) 機能ブロックの性質に基づく排他的論理和を用いた空間的圧縮器の効果を述べる。性質Aを満たす回路12₁としては、試験対象回路内部に生じた故障の影響が出力にランダムに伝搬し、テスト出力パターンの各ビットの故障が等確率で独立に発生するものがあげられる。次に、上記の条件を満たす回路12₁が排他的論理和を用いた空間的圧縮器によって、見逃し故障がほとんど生じない理論的、定量的根拠を示す。空間的圧縮器を用いない場合において、FCを故障検出率、Pを対象回路に入力する乱数パターンの数と置いた場合、
$$FC = f(P) \quad \dots \dots (1)$$

で与えられる関数fを故障検出関数と定義する。

【0023】故障検出率の推移がこの故障検出関数で与えられるモデルに対して、排他的論理和を用いた空間的圧縮器を適用した場合の故障検出率の理論式を求める。

対象回路内部に生じた故障の影響が出力にランダムに伝搬し、テスト出力パターンの各ビットの故障が等確率で独立に発生するとすると、空間的圧縮器を用いない時に t パターン目で検出された故障が、排他的論理和を用いた空間的圧縮器を用いた場合パターン数 x で見逃される

$$P_{miss} = \left(\frac{1}{2^n}\right)^t \quad (x \geq t)$$

【0025】パターン数 t で検出される故障の割合は、故障検出関数 f の微分で与えられるので、空間的圧縮器を用いない場合 t パターン目で検出された故障のうち、排他的論理和を用いた空間的圧縮器によるパターン数 x

$$R_{miss}(t) = \frac{df(t)}{dt} \times \left(\frac{1}{2^n}\right)^t$$

【0027】全体の見逃し故障検出率 FC_{miss} は、各パターン数での故障見逃し率の総和で与えられるので、

$$FC_{miss}(x) = \int \left\{ \frac{df(t)}{dt} \times \left(\frac{1}{2^n}\right)^t \right\} dt \quad \dots \dots (4)$$

【0029】となる。よって、排他的論理和を用いた空間的圧縮器を用いた場合の故障検出率 FC' は、

$$FC'(x) = f(x) - FC_{miss}(x) = f(x) - \int \left\{ \frac{df(t)}{dt} \times \left(\frac{1}{2^n}\right)^t \right\} dt \quad \dots (5)$$

【0031】となる。経験的な故障検出関数として、次式に示す、対数で故障検出率が増加し、100パターンで100%になるモデルを考える。

$$f(x) = \begin{cases} \frac{1}{2} \times \log_{10} x & (1 < x < 100) \\ 1 & (100 \leq x) \end{cases} \quad \dots \dots (6)$$

【0033】このモデルに対して、空間的圧縮器を用いない場合の故障検出率 FC と、出力が1本の排他的論理和を用いた空間的圧縮器を適用した場合の故障検出率 F

確率 P_{miss} は、 n を空間的圧縮器の出力本数とすると、次式で表される。

【0024】

【数1】

..... (2)

での故障見逃し率 R_{miss} は、(検出される故障の割合) \times (故障見逃し確率) で表され、次式となる。

【0026】

【数2】

..... (3)

【0028】

【数3】

..... (4)

【0030】

【数4】

【0032】

【数5】

..... (6)

C' の比較を表1に示す。

【0034】

【表1】

パターン数	空間的圧縮器を用いない場合の故障検出率 FC (%)	空間的圧縮器を用いた場合(出力1本)の故障検出率 FC' (%)
10	50.00	42.22
20	65.05	57.51
50	84.95	77.55
100	100.00	92.65
200	100.00	97.69
500	100.00	99.86
1000	100.00	99.998

【0035】100パターンにおける FC' は92.65%であり、見逃し故障が7%程度生じているが、パターン数を増やしていった場合、200, 500, 1000パターンにおける FC' はそれぞれ97.69%, 99.86%, 99.998%となる。このように、回路

内部に生じた故障の影響が出力にランダムに伝搬するという条件を満たした回路に対しては、パターン数を増やすことにより、見逃し故障検出率は、極めて小さくなる。

【0036】次に、性質Aの回路121の具体例とし

て、16ビット桁上げ先見型2入力加算器を取り上げる。桁上げ先見型加算器に対し、空間圧縮器を用いない場合、排他的論理和を用いた空間的圧縮器を用いて、出力を1本に空間圧縮した場合の故障検出率の比較を表2

に示す。

【0037】

【表2】

パターン数	空間的圧縮器を用いない場合の故障検出率FC(%)	空間的圧縮器を用いた場合(出力1本)の故障検出率FC'(%)
10	33.70	27.58
20	38.58	35.52
50	44.71	44.43
70	46.52	46.52
100	62.26	62.26
200	73.82	73.82
500	97.08	96.88
700	100	100

【0038】表2に示したように、桁上げ先見型加算器に対しては、出力1本の排他的論理和を用いた空間的圧縮器を用いた場合、故障検出率100%を達成可能で、また、空間的圧縮器を用いない場合と比較して、故障検出率100%となるパターン数もほとんど変わらない。先に示した、理論曲線と比較して、見逃し故障検出率は非常に小さくなっているが、桁上げ先見型加算器はビットスライスの構成されており、故障の影響が1出力に集中しやすいためであると考えられる。

【0039】性質Bの回路122の具体例として、16ビット算術論理演算ユニットを取り上げる。算術論理演算ユニットは16本のデータ出力と4本の制御出力を持つが、この回路に対し、空間圧縮器を用いない場合、空間圧縮器を用いて、データ出力を1本に圧縮した場合、さらに制御出力を含めて1本に圧縮した場合の故障検出率の推移を表3に示す。

【0040】

【表3】

パターン数	空間的圧縮器を用いない場合の故障検出率(%)	空間的圧縮器を用いた場合(データ部:1本)の故障検出率(%)	空間的圧縮器を用いた場合(全体:1本の故障検出率(%)
10	60.14	58.08	53.35
20	72.67	71.63	68.00
50	89.97	88.87	85.44
100	97.38	96.84	95.50
200	98.66	98.45	97.65
500	99.35	99.17	98.81
1000	99.40	99.40	99.08

【0041】データ出力に対しては、出力を1本に圧縮しても、故障検出率は空間的圧縮器を用いない場合と比較して、最大の故障検出率は変わらず、その検出率を得るためのパターン数もほとんど増加しない。制御出力を含めて、全体の出力を1本に圧縮すると若干の見逃し故障が生じる。これは、制御出力の中に相関の強い出力対が存在し、故障がランダムに出力に伝搬しないためである。つまり、ある部分の故障に対して、出力が常に反転する関係にある2本の出力を空間圧縮すると、その部分の故障は検出できない。

【0042】以上より、データ出力に対しては、理論式で仮定した故障の影響が出力にランダムに伝搬するという仮定があてはまるので、空間圧縮器の出力を1本にま

で圧縮可能であるが、制御出力等この仮定があてはまらないものが存在するので、相関が強い出力に対して、別々に空間圧縮する必要がある。よって、排他的論理和を用いた空間的圧縮器の出力は2本にする必要がある。この例において、2本の出力をさらに、多入力線形帰還シフトレジスタを用いた空間的圧縮器を用いて1本にまで圧縮した場合のハード量と、2本のまま時間的圧縮器に結合した場合の配線領域を比較して、後者の方がハード量が少ない場合において、性質Bの回路に対する空間的圧縮器の構成を取る。

【0043】(3) 次に各機能ブロックからの圧縮線を切替えるモードを持った論理回路の構成を図4を参照して述べる。時間的圧縮器17に入力されている各機能プロ

ックからの圧縮線は、それぞれ各機能ブロックごとに独立している。よって、各圧縮線を独立に時間圧縮することによって、故障ブロックの切り分けが可能である。このため、各機能ブロックに埋め込まれた空間的圧縮器13₁~13₃によって圧縮された圧縮線41、42を、機能ブロックとは独立した1つの時間的圧縮器17に入力する前段に、故障切り分けを行いたい機能ブロックから出力された圧縮線41、44のみを順次通し、その他の圧縮線に対しては固定値を出力する(42、45)モードと、圧縮線の全部をそのまま通すモードの機能を備え、それを制御線43によって切替えることが可能な論理回路16を付与する。なお、図4中圧縮線41は故障切り分けを行う機能ブロックからの圧縮線、圧縮線42は故障切り分けを行う機能ブロック以外のブロックからの圧縮線を示し、符号44は圧縮線そのままの出力、符号45は固定値出力を表記する。

【0044】設計時は、故障切り分けを行いたい機能ブロックから出力された圧縮線のみを通すモードに設定し、順次、切り分け機能ブロックごとに、時間的圧縮を行い、それぞれ、別々に期待値と比較することにより、故障した機能ブロックの切り分けを行い、製造時においては、全圧縮線を通すモードにし、一度に時間的圧縮を行い期待値と比較することにより、良否判別試験効率良く行う。

【0045】(4)時間的圧縮器の構成を述べる。時間的圧縮器17は、Pビット(Pは各機能ブロックから空間的圧縮器を通して出力される圧縮線の合計)×Mパターンの情報をPビット×1パターンに圧縮する機能を持つ圧縮器であり、その実現として、P入力の多入力線形帰還シフトレジスタを用いる。時間的圧縮器によって、圧縮されたPビット×1パターンの情報をPビット幅の期待値と比較し、結果を出力する。

【0046】

【発明の効果】以上説明したように本発明によれば、試験対象とする機能ブロックの性質により、排他的論理和を用いた圧縮器、あるいは多入力線形帰還シフトレジスタを用いた圧縮器といった、構成の異なる圧縮器を多段に組み合わせることにより、空間的圧縮器を構成するた

めのハード量を少なくすることと、空間的圧縮器と時間的圧縮器を結ぶ配線の本数を減らすことが可能となり、分散型組み込み自己試験のパターン圧縮器を構成する際に、パターン圧縮器全体のハード量を少なくことができる。

【0047】また、本発明の別の発明によれば、故障切り分けを行いたい機能ブロックから出力されたる圧縮線のみを順次通し、その他の圧縮線に対しては固定値を出力するモードを備えた切替モード用の論理回路を付加することにより、設計時の検証として、故障した機能ブロックの切り分けを行う機能を機能ブロックごとに時間的圧縮器を持った場合と比較して、少ないハード量で実現でき、切替えの制御も、論理回路の制御線に論理値を設定するだけでよく、容易に実行可能である。

【図面の簡単な説明】

【図1】本発明による分散型組み込み自己試験の構成原理を示す図である。

【図2】排他的論理和を用いた空間的圧縮器の構成を示す図である。

【図3】多入力線形帰還シフトレジスタを用いた空間的圧縮器の構成を示す図である。

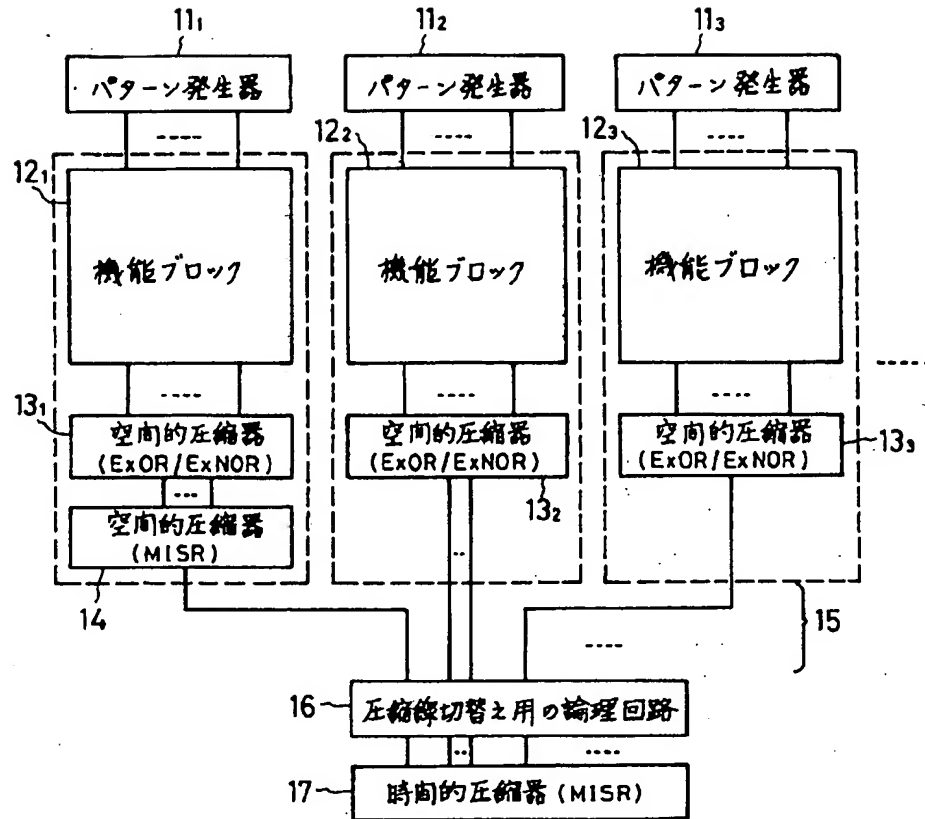
【図4】各機能ブロックからの圧縮線を切替えるモードを持った論理回路の構成を示す図である。

【図5】従来の分散型組み込み自己試験のパターン圧縮器の構成を示す図である。

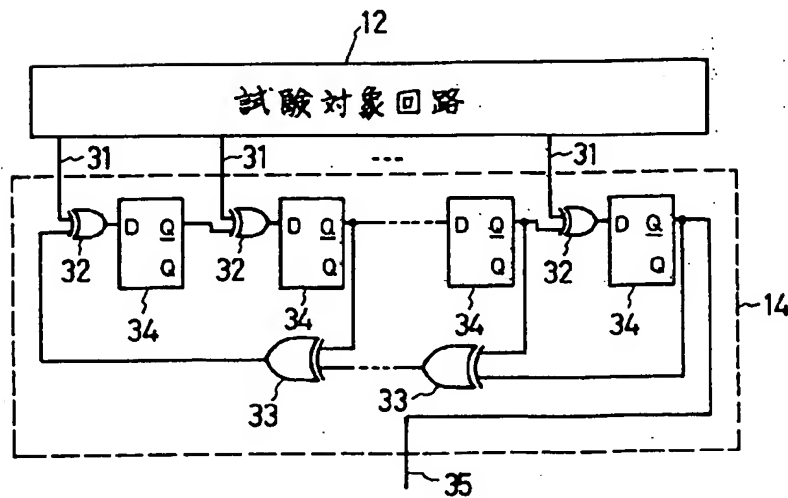
【符号の説明】

- 11 パターン発生器
- 12₁ 性質Aの機能ブロック
- 12₂ 性質Bの機能ブロック
- 12₃ 性質Cの機能ブロック
- 13 排他的論理和を用いた空間的圧縮器
- 14 多入力線形帰還シフトレジスタを用いた空間的圧縮器
- 15 空間的圧縮器と時間的圧縮器を結ぶ配線領域
- 16 各機能ブロックからの圧縮線を切替えるモードを持った論理回路
- 17 多入力線形帰還シフトレジスタを用いた時間的圧縮器

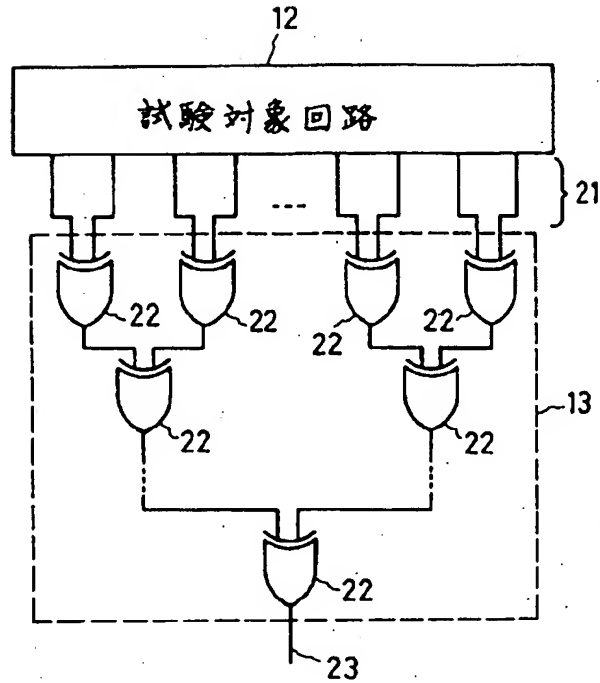
【図1】



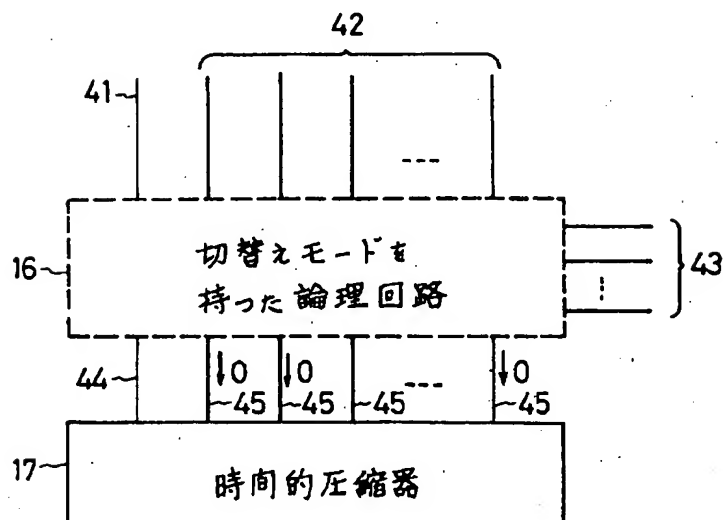
【図3】



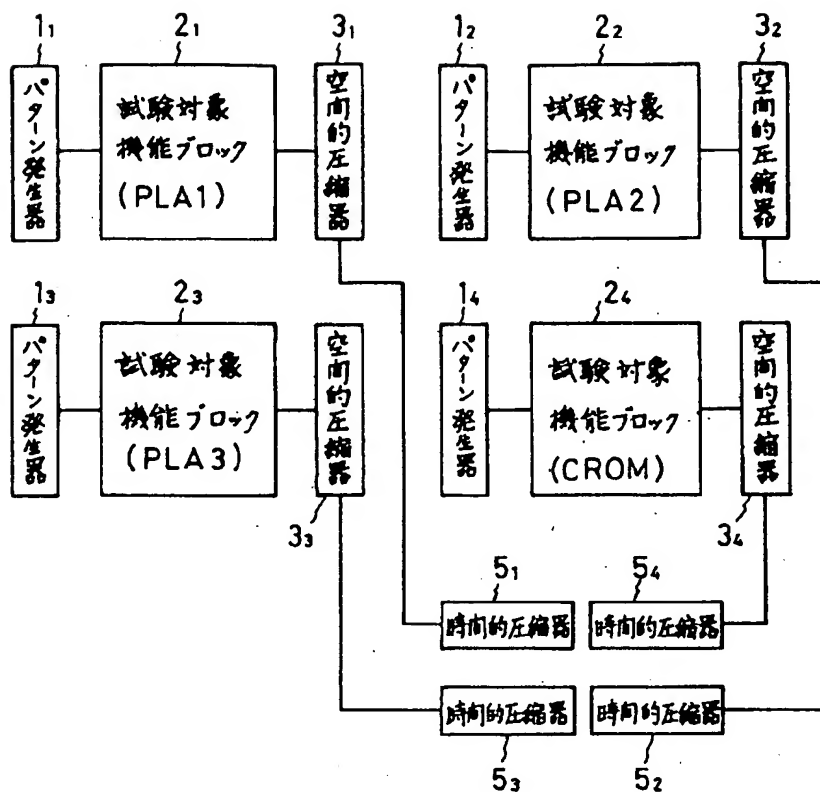
【図2】



【図4】



【図5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-249197

(43)Date of publication of application : 28.09.1993

(51)Int.Cl.

G01R 31/28
H01L 21/66

(21)Application number : 04-083201

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 05.03.1992

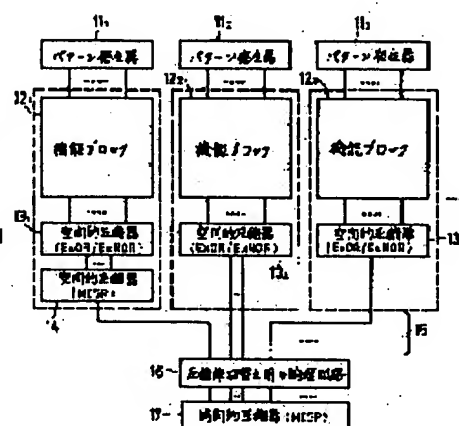
(72)Inventor : IKENAGA TAKESHI
TAKAHASHI JUNICHI

(54) INCORPORATED SELF-TEST CIRCUIT

(57)Abstract:

PURPOSE: To reduce the amount of hardware used in distributed incorporated self-testing pattern compressors at the time of constituting the pattern compressors.

CONSTITUTION: By combining compressors having different constitutions, such as a compressor 13 using an exclusive OR, compressor 14 using a multiinput linear feedback shift register, etc., depending upon the nature of objective functional blocks in multiple stages in the order of hardware quantity from a smaller quantity to a larger quantity so that the output of the compressor 13 in the preceding stage can be connected to the input of the compressor 14 in the next stage as spatial compressors to be buried in each functional block 12, a constitution in which the hardware quantity of the spatial compressors is reduced and another constitution in which the number of wiring used for the outputs of the spatial compressors is reduced are realized. In addition, the hardware quantity of a temporal compressor 17 is also reduced by making the compressor 17 not to independently compress information compressed by each spatial compressor, but to use one multiinput linear feedback shift register.



LEGAL STATUS

[Date of request for examination]

24.05.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2711492

[Date of registration]

31.10.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]